

This Page Is Inserted by IFW Operations
and is not a part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kengo INOUE, et al.**

Serial Number: **10/721,870**

Filed: **November 26, 2003**

Customer No.: **38834**

For: **MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING STI AND SEMICONDUCTOR DEVICE MANUFACTURED**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 13, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

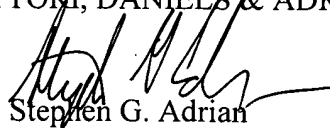
Japanese Appln. No. 2003-387059, filed on November 17, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: **032136**
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111

SGA/my

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年11月17日

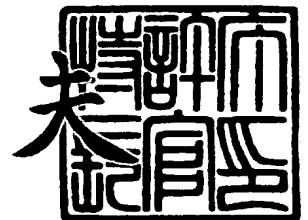
出願番号
Application Number: 特願2003-387059
[ST. 10/C]: [JP2003-387059]

出願人
Applicant(s): 富士通株式会社

2003年12月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3103762

【書類名】 特許願
【整理番号】 0340906
【提出日】 平成15年11月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/94
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 井上 健剛
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 森 年史
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 中村 亮
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 大田 裕之
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 齋木 孝志
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100091340
 【弁理士】
 【氏名又は名称】 高橋 敬四郎
 【電話番号】 03-3832-8095
【選任した代理人】
 【識別番号】 100105887
 【弁理士】
 【氏名又は名称】 来山 幹雄
 【電話番号】 03-3832-8095
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-348641
 【出願日】 平成14年11月29日
【手数料の表示】
 【予納台帳番号】 009852
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9705794

【包括委任状番号】 0109607

【書類名】 特許請求の範囲**【請求項 1】**

(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に厚さ20nm以上の窒化シリコン層の第2ライナ絶縁層を形成する工程と、

(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、
を含む半導体装置の製造方法。

【請求項 2】

前記工程 (e) が、

(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

を含む、請求項1記載の半導体装置の製造方法。

【請求項 3】

(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に窒化シリコン層の第2ライナ絶縁層を形成する工程と、

(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、
を含む半導体装置の製造方法。

【請求項 4】

前記工程 (e1) が、無バイアスのプラズマCVDである請求項2又は3記載の半導体装置の製造方法。

【請求項 5】

前記工程 (e1) が、400℃～450℃でプレヒートを行う工程と、引き続いて酸化シリコン層を形成する工程とを含む請求項2～4のいずれか1項記載の半導体装置の製造方法。

【請求項 6】

前記工程 (d) の後、1000℃～1150℃でアニールを行う工程を含む請求項1～5のいずれか1項記載の半導体装置の製造方法。

【請求項7】

前記第2ライナ絶縁層が8nm以下の厚さを有する請求項3記載の半導体装置の製造方法。

【請求項8】

(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に炭素を含む窒化シリコン層の第2ライナ絶縁層を形成する工程と、

(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、
を含む半導体装置の製造方法。

【請求項9】

前記工程 (d) が、有機シリコンソースガス、またはシリコンソースガスと有機ガスを用いて、化学気相堆積で炭素を含む窒化シリコン層を堆積する工程を含む請求項8記載の半導体装置の製造方法。

【請求項10】

シリコン基板と、

前記シリコン基板に形成され、素子領域を画定するトレンチと、

前記トレンチの表面を覆う酸化シリコン層の第1ライナ層と、

前記第1ライナ層上に形成された炭素を含む窒化シリコン層の第2ライナ層と、

前記第2ライナ層上に形成され、前記トレンチを埋める酸化シリコンの素子分離領域と

、
前記素子領域に形成されたpチャネルMOSトランジスタと、
を有する半導体装置。

【書類名】明細書

【発明の名称】半導体装置の製造方法と半導体装置

【技術分野】

【0001】

本発明は、半導体装置の製造方法と半導体装置に関し、特にシャロートレンチアイソレーション (STI) を有する半導体装置の製造方法と半導体装置に関する。

【背景技術】

【0002】

半導体装置における素子分離方法の1つとして、局所酸化 (local oxidation of silicon, LOCOS) が用いられていた。

局所酸化は、シリコン基板上にバッファ層として酸化シリコン層を形成した後、窒化シリコン層を酸化防止マスク層として形成し、窒化シリコン層をパターニングした後、シリコン基板の表面を熱酸化する技術である。

【0003】

シリコン基板を熱酸化する際、酸素、水分等の酸化種が窒化シリコン層端部下のバッファ酸化シリコン層中にも侵入し、窒化シリコン層下のシリコン基板表面も酸化させ、バズビークと呼ばれる鳥の嘴状の酸化シリコン領域を形成する。バズビークの形成された領域は、実質的に素子形成領域 (活性領域) として使用できなくなるため、素子形成領域が狭くなる。

【0004】

又、種々の寸法の開口を有する窒化シリコン層を形成し、基板表面を熱酸化すると、開口部寸法の狭いシリコン基板表面に形成される酸化シリコン層の厚さは開口部寸法の広いシリコン基板表面に形成される酸化シリコン層の厚さよりも小さくなる。これをシニング (thinning) と呼ぶ。

【0005】

半導体装置の微細化に伴い、バズビークやシニングにより、半導体基板の全面積中で素子形成領域として使用できない面積の割合が増加する。すなわち、素子形成領域が狭められる割合が増加し、半導体装置の高集積化の妨げとなる。

【0006】

素子分離領域を形成する技術として、半導体基板表面にトレンチを形成し、トレンチ内に絶縁物や多結晶シリコンを埋め込むトレンチアイソレーション (TI) 技術が知られている。この方法は、従来、深い素子分離領域を必要とするバイポーラトランジスタLSIに用いられていた。

【0007】

バズビーク、シニングが共に生じないため、トレンチアイソレーションのMOSトランジスタLSIへの適用が進んでいる。MOSトランジスタLSIでは、バイポーラトランジスタLSI程深い素子分離は必要としないため、深さ0.1~1.0 μm 程度の比較的浅い溝で素子分離を行うことができる。この構造をシャロートレンチアイソレーション (STI) と呼ぶ。

【0008】

STIの作成方法として、トレンチを作成した後、酸化シリコン層、窒化シリコン層のライナ層を積層し、その上に埋め込み酸化シリコン層を形成することが提案されている。

【0009】

【特許文献1】特開平11-297811号公報

【特許文献2】特開平2000-31261号公報

【特許文献3】米国特許第5,447,884号公報

【特許文献4】特開平10-56058号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

STIによる素子分離は、微細化に適しているが、STI独自の問題も生じる。STI独自の問題を低減することのできる新たな技術が求められている。

本発明の目的は、埋め込み特性のよいSTIを有する半導体装置の製造方法を提供することである。

【0011】

本発明の他の目的は、埋め込み特性よく、剥がれを生じることの少ないSTIを有する半導体装置の製造方法を提供することである。

本発明のさらに他の目的は、信頼性高く、特性の優れた半導体装置とその製造方法を提供することである。

【課題を解決するための手段】

【0012】

本発明の一観点によれば、a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、(d) 前記第1ライナ絶縁層上に厚さ20nm以上の窒化シリコン層の第2ライナ絶縁層を形成する工程と、(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストッパ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

【0013】

本発明の他の観点によれば、(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、(d) 前記第1ライナ絶縁層上に厚さ8nm以下の窒化シリコン層の第2ライナ絶縁層を形成する工程と、(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスの高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストッパ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

【0014】

本発明のさらに他の観点によれば、(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層と窒化シリコン層の第2ライナ絶縁層を形成する工程と、(d) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、(e) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスの高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストッパ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

【0015】

本発明の他の観点によれば、(a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、(d) 前記第1ライナ絶縁層上に炭素を含む窒化シリコン層の第2ライナ絶縁層を形成する工

程と、(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストップ層を研磨用ストップパとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストップ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

【0016】

本発明のさらに他の観点によれば、シリコン基板と、前記シリコン基板に形成され、素子領域を画定するトレンチと、前記トレンチの表面を覆う酸化シリコン層の第1ライナ層と、前記第1ライナ層上に形成された炭素を含む窒化シリコンの第2ライナ層と、前記第2ライナ層上に形成され、前記トレンチを埋める酸化シリコンの素子分離領域と、前記素子領域に形成されたpチャネルMOSトランジスタと、を有する半導体装置が提供される。

【発明の効果】

【0017】

以上説明したように、本発明によれば、剥がれを生じることの少ない、STIを用いた半導体装置の製造方法、半導体装置が提供される。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施例の説明に先立ち、本発明者らの研究結果を説明する。STIのトレンチ幅は、様々である。狭い幅のトレンチも安定的に埋め込むためには、堆積とエッチング(スパッタリング)とが同時に進行する膜堆積方法を用いることが有効である。高密度プラズマCVDがこのような目的で用いられる。

【0019】

高密度プラズマとは平行平板プラズマよりもプラズマ密度の高いプラズマを指す。例えば、誘導結合で発生する高密度のプラズマである。本明細書等において、高密度プラズマCVDとは、成膜用のソースガスと共に、Ar, He, H₂等の成膜作用に寄与せず、スパッタリング作用を示すガスを用い、高密度プラズマを発生させ、スパッタリングしながら成膜を行うCVDを指す。スパッタリングにより突起部が削られるので、ボイドの形成を防止しながら成膜を行うことができる。高密度プラズマを用いることにより成膜速度を確保する。

【0020】

図4(A)に、高密度プラズマCVD装置の構成例を示す。ガラス等の電波を透過する材料で形成された容器Jの外側にコイルLが配置され、例えば400kHzの高周波電源LFに接続されている。容器Jの内部には、電極を兼ねるサセプタSCが配置され、その上に加工対象物であるウエハWを載置する。サセプタSCは、高周波バイアス電力印加用の例えば13.56MHzの高周波電源HFに接続されている。

【0021】

ガス導入口G1からCVD用ガスを導入し、ガス導入口G2からスパッタリング用ガスを導入する。なお、導入前に混合したガスを用いてもよい。高周波電力LFによりプラズマを発生させ、高周波電力HFによりさらにプラズマ中の荷電粒子をウエハWに向わせるバイアス場を発生させる。

【0022】

図4(B)は、高密度プラズマCVD装置と対比される平行平板型プラズマCVD装置の構成例を示す。容器Jの内部に、一方の電極であるサセプタSCと対向電極OEとが平行に対向配置されている。サセプタSC上にウエハWが載置される。例えば、対向電極OEおよびSCに、13.56MHzの高周波電源HFが接続される。電極SCには、異なる周波数の、例えば400kHzの高周波電源LFが接続されることも多い。

【0023】

図4(A)に示す高密度プラズマCVD装置においては、コイルLからの誘導により容器J内に高密度プラズマが発生する。図4(B)の平行平板型プラズマCVD装置においては、容量結合した対向電極間にプラズマが発生される。誘導結合による方が、高密度プラズマを発生させるのに適している。又、堆積とスパッタリングとを同時にこなう高密度

プラズマCVDを用いることにより、STIの埋め込みを良好に行なうことが可能である。

【0024】

高集積化された半導体装置用のSTIを酸化シリコンライナ層、窒化シリコンライナ層、高密度プラズマCVDによる酸化シリコン層を用いて作成した。

図5に作成したSTIを有するサンプルの構成を示す。シリコン基板101の表面上に酸化シリコン層102を厚さ約10nm熱酸化により形成し、その上に窒化シリコン層103を厚さ約110nm減圧(LP)CVDにより形成する。窒化シリコン層103の上に、レジストパターンを形成し、窒化シリコン層103、酸化シリコン層102をエッチングしハードマスクを形成する。このハードマスクをエッチングマスクとし、シリコン基板100を表面から深さ約300nmエッチングし、トレンチ105を形成する。

【0025】

形成されたトレンチ105表面に露出したシリコン表面を熱酸化し、エッチングによるダメージ層を回復する厚さ約5nmの酸化シリコン層のライナ層107を形成する。酸化シリコン層107、窒化シリコン層103を覆って、LPCVDにより厚さ約10nmの窒化シリコン層のライナ層108を形成する。この上に高密度プラズマ(HDP)CVDにより厚さ約500nmの酸化シリコン層を堆積する。

【0026】

ここで、図に示すように窒化シリコンライナ層108とHDPCVD酸化シリコン層110との間に剥がれが生じ、隙間Vが形成されてしまう。上述のプロセスによると、ほぼ全てのサンプルで剥がれが生じた。このような隙間は窒化シリコンのライナ層108とHDPCVD酸化シリコン層110との密着性が悪いことを示し、さらに剥がれが拡大する可能性を示唆する。剥がれを生じた隙間部分に、不純物等が入り込むと除去することが困難となろう。

【0027】

本発明者等は、剥がれが生じないプロセスを見出すため種々の試みを行った。窒化シリコンのライナ層は、シリコン及び酸化シリコンとは熱膨張率が大きく異なり、大きな応力を有する、疎水性表面を有する等注意すべき特性を多く持つ。窒化シリコンのライナ層の厚さによって、どのような影響があるかを調べた。その結果、窒化シリコンのライナ層を厚さ20nm以上とすると、剥がれが生じないことが分った。

【0028】

図1(A)～図2(H)を参照して、本発明の第1の実施例による半導体装置の製造方法を説明する。

図1(A)に示すように、シリコン基板1の表面上に、厚さ9～21nm、例えば厚さ10nmの酸化シリコン層2を熱酸化により形成する。酸化シリコン層2の上に、厚さ100～150nm、例えば厚さ110nmの窒化シリコン層3を低圧(LP)化学気相堆積(CVD)により形成する。LPCVDは、例えばソースガスとして SiCl_2H_2 と NH_3 を用い、温度750℃～800℃で行う。成膜する厚さが比較的厚いので、成膜温度を高めに設定し、成膜速度を上げている。

【0029】

窒化シリコン層3の上に、レジスト層を塗布し、露光現像することによりレジストパターン4を形成する。レジストパターン4は、活性領域(素子形成領域)上に形成され、開口部が素子分離領域を画定する。開口部5aの幅は、例えば0.1～1μmである。

【0030】

レジストパターン4をエッチングマスクとし、窒化シリコン層3、酸化シリコン層2をエッチングする。レジストマスク4は、ここで除去してもよい。エッチされた窒化シリコン層3をエッチングマスクとしてシリコン基板1を反応性イオンエッチング(RIE)により異方性エッチングする。シリコン基板1は、例えば深さ300nmエッチングされてトレンチ6を形成する。なお、窒化シリコン層、酸化シリコン層のエッチングは、 CF_4 、 CHF_3 、Arの混合ガスをエッチングガスとして行う。シリコン基板1のエッチング

は、 HBr 、 O_2 の混合ガス、又は Cl_2 、 O_2 の混合ガスをエッチングガスとして行う。

【0031】

図1 (B) に示すように、トレンチ6の表面に露出したシリコン基板表面を熱酸化して例えば厚さ3 nmの酸化シリコンのライナ層7を形成する。トレンチ6内に露出していたシリコン表面は、全て酸化シリコンのライナ層7により覆われる。

【0032】

図1 (C) に示すように、酸化シリコンのライナ層7、窒化シリコン層3の表面を覆うように、窒化シリコンのライナ層8をLPCVDにより形成する。窒化シリコンのライナ層8の厚さは、例えば20 nmとする。LPCVDは、 SiCl_2H_2 、 NH_3 の混合ガスをソースガスとし、温度680度未満、例えば650℃程度で行う。成膜する厚さが比較的薄いので成膜温度を比較的低温に設定し、成膜速度を下げている。厚さ20 nm以上の窒化シリコンのライナ層は、その後のSTI埋め込み工程を経ても剥がれが極めて生じにくい厚さである。

【0033】

ソースガスとして、シラン (SiH_4) とアンモニア (NH_3)、テトラクロルシラン (SiCl_4) とアンモニア、ビスターシャルブチルアミノシラン (BTBAS) とアンモニア等を用いてもよい。形成される窒化シリコンのライナ層は、1.2 GPa以上の引張り (tensile) 応力を有する層とする。この応力は、後述する緻密化の熱処理を行った埋め込み酸化シリコン層の応力と逆方向である。

【0034】

SiN 層8のライナを形成した後、ラピッドサーマルアニール (RTA) 等により、1000℃～1150℃の熱処理を行ってもよい。例えば、 N_2 雰囲気中で1000℃、30秒間の熱処理を行い、 SiN 層の引張り応力を20～30%増大することができる。

【0035】

図1 (D) に示すように、高密度プラズマ (HDP) CVD装置内で窒化シリコンのライナ層8を形成した基板に400℃～450℃で1～5分のプレアニールを行い、引き続き同一室内でHDP CVDにより、酸化シリコン層9を形成し、トレンチ内を埋め込む。例えば、深さ300 nmのトレンチを形成した場合、埋め込み酸化シリコン層9の厚さは、平坦部で500 nm程度に選択する。

【0036】

酸化シリコン層9の形成は、 SiH_4 と酸素の混合ガス、又はTEOSとオゾンの混合ガスをソースガスとして行う。酸化シリコン層9の成長後、約1000℃のアニールを行ない、酸化シリコン層9を緻密化する。アニールを経たトレンチ内の酸化シリコン層9の層質は熱酸化層とほぼ同じになる。緻密化された酸化シリコン層は、圧縮応力を生じるが、この圧縮応力と窒化シリコンのライナ層の引張り応力は逆方向であり、圧縮応力は引張り応力により相殺される。圧縮応力による移動度の低下が低減される。

【0037】

図2 (E) に示すように、シリコン基板表面から化学機械研磨 (CMP) を行い、窒化シリコン層3、8表面より上の酸化シリコン層9の不要部を除去する。CMPは、回転する上下の定盤の間にシリコン基板を挟んで行う。上下の定盤の回転速度を例えばそれぞれ20 rpm、上下の定盤間の圧力を例えば5 psi、バックプレッシャーを例えば5 psiとし、研磨剤としてコロイダルシリカを主成分とするスラリー、又は酸化セリウム系スラリーを用いる。

【0038】

このような研磨条件の場合、窒化シリコン層3のエッチングレートは小さく、窒化シリコン層3が研磨のストッパとして機能する。研磨を終えた状態では、酸化シリコン層9と窒化シリコン層3がほぼ面一となり、酸化シリコン層9は窒化シリコン層3が画定する開口部内のみ残る。なお、窒化シリコン層3上の酸化シリコン層9をCMPで除去する場合を説明したが、 CF_4 と CHF_3 の混合ガスを用いたRIEを用いてもよい。

【0039】

図2 (F) に示すように、窒化シリコン層3を熱リン酸によりエッチングする。窒化シリコン層3の側壁上の窒化シリコン層8も同時にエッチングされる。

その後、シリコン基板1表面上の酸化シリコン層2を希フッ酸により除去する。

【0040】

図2 (G) に示すように、シリコン基板1の表面を熱酸化して犠牲酸化層22を成長する。

犠牲酸化層22をスルー酸化層として用い、シリコン基板1表面領域にイオン注入を行ない、イオン注入された不純物を活性化して所定導電型のウエル10を形成する。例えばn型ウエルとp型ウエルとをレジストマスクを用いた別個のイオン注入で形成する。ウエル10を形成した後、犠牲酸化層を希フッ酸により除去する。

【0041】

図2 (H) に示すように、犠牲酸化層を除去し、露出したシリコン基板1表面を熱酸化することにより、例えば厚さ2 nmのゲート絶縁層11を形成する。ゲート酸化層11の形成前には、熱酸化層を20 nmエッチングする程度希フッ酸エッチングが行われる。ゲート酸化膜11の上に多結晶シリコン層12を形成する。

【0042】

多結晶シリコン層12、ゲート酸化膜11をパターニングすることによりゲート電極を作成する。その後、ウエル10と逆導電型の不純物をイオン注入し、ゲート電極両側にソース／ドレイン領域を形成する。必要に応じ、ゲート電極側壁上にサイドウォールスペーサを形成し、さらに不純物をイオン注入し、活性化して高濃度ソース／ドレイン領域を形成する。

【0043】

図3 (A) は、素子分離領域9により画定された活性領域ARと、シリコン基板表面上に形成されたゲート電極12の形状を示す平面図である。図1 (A) ～図2 (H) は、B-B'線に沿う断面図に相当する。各活性領域ARは素子分離領域9により囲まれている。2つの活性領域によりCMOSインバータが構成される。

【0044】

なお、この状態はサイドウォールスペーサが形成前である。サイドウォールスペーサ形成後、さらにウエル領域と逆導電型の不純物をイオン注入し、高濃度ソース／ドレイン領域を形成する。

【0045】

図3 (B) は、図3 (A) のA-A'線に沿う断面図を示す。ゲート電極の側壁上にサイドウォールスペーサSWが形成され、ゲート電極両側にソース／ドレイン領域S/Dが形成されている。ゲート電極12、ソース／ドレイン領域S/Dの上にシリサイド層13が形成されている。

【0046】

熱酸化による酸化シリコンのライナ層7と、HDPCVDによる酸化シリコン埋込み層9との間に形成する窒化シリコンライナ層8の厚さを20 nm以上としたことにより、剥れが防止され、埋込み特性の優れたSTIを得ることができる。

【0047】

しかしながら、STIの幅が例えば0.1 μm と狭い場合、厚さ20 nm以上の窒化シリコンライナ層は、その後に残るトレンチの幅を狭くしすぎ、後のプロセスの障害となり得る。そのため、薄い窒化シリコンライナ層を用いても剥れを防止できる方法を求めた。

【0048】

HDPCVDを用いた酸化シリコン層の埋め込み工程において、窒化シリコンライナ層8表面は、高エネルギーのイオンの衝撃にさらされ、かつプラズマにより加熱される。このため、窒化シリコンライナ層8がダメージを受け、窒化シリコンライナ層から脱ガスが生じることが考えられる。このような現象を防止する手段として、酸化シリコン層の埋め込み工程初期においては、バイアスを低くすることが考えられる。バイアスを低くすることにより、入射する粒子のエネルギーが低下し、窒化シリコンライナ層に与える熱、衝撃が減

少するであろう。

【0049】

堆積初期において、HDPCVDのバイアス電力をオフとし、無バイアスで酸化シリコン層を堆積することにより、剥れを効率的に低減できることが分った。特に、窒化シリコンライナ層を厚さ8nm以下とした時に剥れはほとんど発生しないようにすることができた。

【0050】

以下、本発明の第2の実施例を説明する。

図1(A)、(B)の工程は、第1の実施例と同様に行なう。

図1(C)において、厚さ8nm以下の窒化シリコンライナ層8をLPCVDにより形成する。例えば、厚さ約8nmの窒化シリコン層8をLPCVDで堆積する。厚さ以外の点は第1の実施例と同様である。

【0051】

図1(D)に示す工程において、400℃～450℃、1～5分のプレヒートの後、2ステップで酸化シリコン層9を形成する。

まず、サセプタ電極へのバイアス電力供給を0とし、無バイアスで酸化シリコン層9aを形成する。例えば、ソースガス流量はシラン約120sccm、酸素約160sccm、ヘリウム約500sccm、ソースRFパワー3200W、バイアスHFパワー約0Wである。このようにして、窒化シリコン層8の上に厚さ約2nmの酸化シリコンのライナ層9aを形成する。

【0052】

無バイアスのHDPCVD時のウエハ温度は400℃であり、バイアス印加時のウエハ温度は650℃であった。400℃～450℃のプレヒートを行うと、脱ガスを予め行なわせてしまうと考えられる。その後、無バイアスHDPCVDを行い、ウエハが400℃に加熱されても、脱ガスが生じにくくなると考えられる。

【0053】

その後、バイアスHFパワーを約2000Wに増加し、残りの酸化シリコン層9bを堆積する。窒化シリコンライナ層8の上に酸化シリコンライナ層9aが形成されているので、高エネルギー粒子が衝撃しても、窒化シリコンライナ層に与える影響は小さい。その後、図2(E)～(H)に示す工程を第1の実施例と同様に行なう。

【0054】

第2の実施例の効果を確認するため、簡単化したテストを行なった。Si基板の上に、厚さ約8nmの窒化シリコン層を形成し、その上に厚さ約500nmの高密度プラズマ酸化シリコン層を形成した。第1のサンプルにおいては、高密度プラズマ酸化シリコン膜の形成において、先ず厚さ約2nmの酸化シリコン膜を無バイアスで形成し、その後厚さ約500nmの高密度プラズマ酸化シリコン層を高バイアス(2100W)で形成した。

【0055】

比較例としての第2のサンプルにおいては、無バイアスの高密度酸化シリコン層を形成することなく、窒化シリコン層の上に直接高バイアス(2100W)の高密度プラズマ酸化シリコン層を厚さ約500nm形成した。

【0056】

図6(A)に示すように、無バイアスの高密度プラズマ酸化シリコン層をライナとして設けた第1のサンプルにおいては、剥れは観察されていない。なお、窒化シリコン層の厚さを8nmより薄くしたサンプルにおいても同様の結果を得た。

【0057】

図6(B)に示すように、無バイアスの高密度プラズマ酸化シリコン層をライナとして敷くことなく、窒化シリコン層の上に直接高バイアスの高密度プラズマ酸化シリコン層のみを形成した第2のサンプルにおいては、多数の円状の膜剥れが生じた。

【0058】

トレンチ埋め込みの酸化シリコン層堆積用HDPCVDを2ステップに分け、第1のス

トップにおいてバイアスパワーを低減することにより、厚さ 8 nm 以下の窒化シリコン層を用いても、剥れを防止できることが判明した。

【0059】

なお、8 nm 以下の厚さの窒化シリコン層を用いた場合、剥れをほとんど生じなくすることができたが、8 nm 以上の窒化シリコン層を用いたとしても、HDPCVD による酸化シリコン層堆積を 2 ステップに分割することにより窒化シリコン層に与える影響を低減できることは明らかであろう。

【0060】

HDPCVD による酸化シリコン層堆積に先立ち、400℃～450℃で 1～5 分のプレヒートを行なうと、剥れの防止に有効であった。窒化シリコン層からの脱ガス等に有効と考えられる。

【0061】

無バイアスに代え、低バイアスの HDPCVD を行なうことも可能であろう。この場合も、後半の高バイアス HDPCVD 時のバイアス電力と比べ、十分低いバイアス電力を用いることが好ましいであろう。

【0062】

2 段階のバイアス印加に代え、前半の低バイアスから徐々に、又は連続的にバイアスを増加することも可能であろう。

又、初期の無バイアス HDPCVD に代え、図 4 (B) に示すような平行平板型プラズマ CVD を用いることも可能であろう。

【0063】

上述の実施例においては、窒化シリコンのライナ層を SiCl_2H_2 と NH_3 とを用いた CVD により成膜した。以下、窒化シリコンのライナ層をビスターシャルブチルアミノシラン (BTBAS) とアンモニア (NH_3) を用いた CVD により成膜する実施例を説明する。

【0064】

図 7 (A) に示すように、シリコン基板 1 表面上に、例えば厚さ 10 nm の酸化シリコン層 2 を熱酸化により形成する。酸化シリコン層の上に、例えば厚さ 100 nm～150 nm の窒化シリコン層 3 を SiCl_2H_2 と NH_3 とを用い、基板温度 650℃の低圧化学気相堆積 (LPCVD) により形成する。

【0065】

窒化シリコン層 3 の上に、素子領域を画定するレジストパターンを形成し、レジストパターンをエッチングマスクとして窒化シリコン層 3、その下の酸化シリコン層 2、その下のシリコン基板 1 をリアクティブイオンエッチング (RIE) により、例えば深さ 300 nm 程度エッチングし、素子分離用トレンチを形成する。

【0066】

トレンチの表面に露出したシリコン基板表面を熱酸化して、厚さ 2～10 nm 程度、例えば厚さ 5 nm の酸化シリコンの第 1 ライナ層 7 を形成する。ここまでの工程は、前述の実施例と同様であり、図 7 (A) の構成は、図 1 (B) の構成と同等である。

【0067】

図 7 (B) に示すように、窒化シリコン層 3、酸化シリコンの第 1 ライナ層 7 を覆うように、厚さ 2 nm～20 nm の窒化シリコンの第 2 ライナ層 5 を、ビスターシャルブチルアミノシラン (BTBAS) とアンモニア (NH_3) を原料とした熱 CVD により成膜する。

【0068】

この熱 CVD は、圧力 1.33 Pa～1330 Pa、例えば 65 Pa、基板温度 550℃～580℃、BTBAS 流量 5 sccm～200 sccm、例えば 40 sccm、 NH_3 流量 50 sccm～2000 sccm、例えば 160 sccm、流量比 [BTBAS] : [NH_3] = 1 : 1～1 : 20、例えば 1 : 4 の条件で行う。

【0069】

なお、基板温度 550℃～580℃は、 SiCl_2H_2 、 NH_3 をソースガスとした LPCVD の基板温度 650℃よりも低い。形成される窒化シリコンは、炭素を含む。窒化シリコンの第2ライナ層5の成膜後に、1000℃～1150℃のアニールを行って、窒化シリコンの第2ライナ層5の引張り応力を強めることもできる。

【0070】

図7(C)に示すように、窒化シリコンの第2ライナ層5を成膜した基板上に、高密度プラズマ(HDP)CVDにより、例えば平坦部上の厚さ500nmの酸化シリコン層9を形成し、トレンチ内を埋め込む。酸化シリコン層9成膜後、1000℃～1150℃のアニールを行ってもよい。

【0071】

酸化シリコン層9成膜後、窒化シリコンの第2ライナ層5、窒化シリコン層3をストップとし、化学機械研磨(CMP)を行い、窒化シリコン層3より上の酸化シリコン層9の不要部を除去する。窒化シリコンの第2ライナ層5、窒化シリコン層3の上部もこのCMPにより消滅してもよい。このようにして、シャロートレンチアイソレーション(STI)の素子分離領域が形成される。

【0072】

図7(D)に示すように、熱燐酸を用い、基板表面の窒化シリコン層3をエッチングして除去する。窒化シリコン層3の側壁に形成された窒化シリコンの第2ライナ層5も同時に除去される。なお、BTBASを用いて形成した窒化シリコンの第2ライナ層5は、 SiCl_2H_2 を用いて形成した窒化シリコン層3よりもエッチング速度が遅い。このため、トレンチ内の窒化シリコンの第2ライナ層5は、窒化シリコン層3除去のための熱燐酸エッチングにおいて、窒化シリコン層3よりエッチされにくい。

【0073】

STI領域の窒化シリコンの第2ライナ層5がエッチングされると、素子領域肩部でゲート電極が上面から側面を覆うようになり、電界集中によって閾値電圧の低い寄生MOSトランジスタを生じさせる。第2ライナ層のエッチングを抑制することにより、素子領域肩部におけるディボットが防止され、その後形成されるトランジスタの特性劣化を抑制することができる。

【0074】

その後、前述の実施例同様、酸化シリコン層2を希フッ酸によるエッチングで除去し、犠牲酸化膜を形成し、ウェル形成用イオン注入、活性化、犠牲酸化膜除去、ゲート絶縁膜形成、ゲート電極形成、ソース/ドレイン領域形成用イオン注入、活性化等の工程を経てMOSトランジスタを形成する。

【0075】

比較例として、図7(B)における窒化シリコンの第2ライナ層5の形成を、前述の実施例同様 SiCl_2H_2 と NH_3 とを用いて形成したサンプルも作成した。

図8(A)、(B)は、比較例によるサンプルと、本実施例に従うサンプルとの上面の顕微鏡写真、図8(C)は、厚さを変えた両サンプルの剥れの結果を示す表である。

【0076】

図8(A)は比較例のサンプルの表面の写真である。窒化シリコンの第2ライナ層5は、 SiCl_2H_2 と NH_3 とをソースガスとして厚さ10nmに形成した。素子分離領域に多くの剥れが観測されている。

【0077】

図8(B)は、上述の実施例に従うサンプルであり、窒化シリコンの第2ライナ層5はBTBASと NH_3 とをソースガスとして厚さ10nmに形成した。素子分離領域に剥れは見出せない。BTBASを用いることにより、窒化シリコンの第2ライナ層5の密着性が向上したことが明らかであろう。

【0078】

図8(C)は、窒化シリコンの第2ライナ層5の厚さを6nm～20nmの領域で変化させたサンプルの剥れの結果を示す。DCS-SiNは、 SiCl_2H_2 (DCS)とN

H₃ とをソースガスとして窒化シリコンの第2ライナ層5を形成した比較例のサンプルである。BTNは、窒化シリコンの第2ライナ層5をBTBASとNH₃ とをソースガスとして形成した実施例に従うサンプルである。

【0079】

比較例においては、厚さ6 nmと、厚さ20 nmのサンプルには剥がれが生じていないが、厚さ8 nmのサンプルから厚さ12 nmのサンプルまでには剥がれが発生している。これに対し、本実施例に従うBTNのサンプルは厚さ6 nm、8 nm、10 nm、12 nm、20 nmの全サンプルにおいて剥がれが発生していない。

【0080】

BTBASをソースガスとして用いた窒化シリコン層を形成することにより、厚さによらず、剥れを防止できることが分かった。なお、BTBASを用い、基板温度550℃～580℃で成膜した窒化シリコン層は、その組成に炭素(C)を含んでいる。炭素を含む窒化シリコン層を用いると酸化シリコン層との密着性が向上するものと考えられる。

【0081】

また、BTBASをソースガスとして用いた窒化シリコン層は、1.5 GPa程度の引っ張り応力を示し、DCSをソースガスとして用いた窒化シリコンの引っ張り応力1.2 GPa程度より引っ張り応力が大きかった。HDP-CVDによる酸化シリコンの圧縮応力の相殺に、より有効であると期待される。

【0082】

なお、炭素を含む窒化シリコン層は、BTBASとアンモニアとをソースガスとして形成する場合に限らない。他の有機シリコンソースガスを用いて炭素を含む窒化シリコンを形成することも可能であろう。又シリコンソースガスと有機ガスを用いて炭素を含む窒化シリコンを形成することも可能であろう。例えばヘキサクロロジシラン(Si₂Cl₆、HCD)とエチレン(C₂H₄)とアンモニアとをソースガスとして窒化シリコン層を形成することによっても炭素を含む窒化シリコンが実現可能であろう。又、ジシラン(Si₂H₆)、ジクロロシラン(SiCl₂H₂)等をシリコンのソースとし、エチレン(C₂H₄)やモノメチルシラン(CH₃SiH₃)等を添加してアンモニア等のNソースガスと共に窒化シリコン層を形成することにより炭素を含んだ窒化シリコン層を形成することも可能であろう。

【0083】

なお、層間絶縁膜として、ベンゼン環を持つ有機膜と較べ紫外線吸収率の低い絶縁膜、例えばSiOCを使用した場合、層間膜を形成する過程において紫外線照射される工程を通すと、作成したpチャンネルMOSトランジスタの特性に変化が生じた。

【0084】

図9(A)は、作成したサンプルのpチャンネルトランジスタの平面構成を示す。n型素子領域AR_nは、幅160 nm×長さ640 nmである。素子領域ARの中央部上方を横断するp型ゲート電極Gは、ゲート長40 nmである。ゲートの両側のp型ソース/ドレイン領域の電流方向長さは300 nmである。ゲート電極下方のn型チャンネル領域は、ゲート長40 nm×ゲート幅160 nmとなる。

【0085】

図9(B)は、CMOSトランジスタを含む半導体装置の断面構成を示す。シャロートレンチアイソレーションSTIが、n型素子領域AR_n、p型素子領域AR_pを画定している。n型素子領域AR_n、p型素子領域AR_p上にはp型絶縁ゲート電極G_p、n型絶縁ゲート電極G_nが形成され、第1層間絶縁層IL1で覆われている。第1層間絶縁層IL1を貫通して導電性プラグPがソース/ドレイン領域に達している。第1層間絶縁層IL1上には、第2層間絶縁層IL2、第3層間絶縁層IL3、第4層間絶縁層IL4...が積層されている。これら層間絶縁層内に多層配線W1、W2、W3...が埋め込まれている。層間絶縁層IL1、IL2、IL3、IL4の少なくとも一部は、酸化シリコン(SiOCを含む)等で形成される。

【0086】

図9 (C) は、比較例 s 1 と実施例による例 s 2 とのドレイン電流対ゲート電圧の特性を示すグラフである。絶対値の大きな負電圧で p チャンネル MOS トランジスタはオンとなり、 10^{-4} A 台のドレイン電流を流す。比較例 s 1 においては、ゲート電圧（絶対値）を減少させ、さらに正極性に変化させてもドレイン電流は 1×10^{-6} A 程度より減少していない。すなわち、オフ状態でもかなりの量のドレインリーク電流が流れていることがわかる。

【0087】

このようなリーク電流は、素子分離領域の表面近傍に負電荷が帯電することによって起こると考えられる。すなわち、STI の側壁に接するチャンネル領域においては負電荷により負バイアスが印加されたのと同等の状態となる。従って、素子領域 AR の STI 近傍は常時ターンオンされた寄生トランジスタを形成し得る。ゲート幅を減少すれば、寄生トランジスタの影響は増大する。

【0088】

BTBAS をソースガスとして窒化シリコンのライナ層を形成したサンプル s 2 においては、オン状態の特性はサンプル s 1 とほぼ同一であるが、ゲート電圧を減少し、正極性に変化させていくとドレイン電流は減少を続け、 1×10^{-9} A 程度まで減少している。すなわち、サンプル s 1 と比べ、オフ電流を 3 桁程度も減少させることができている。

【0089】

この結果から、DCS をソースガスとして用いた窒化シリコンの第 2 ライナ層を有する p チャンネル MOS トランジスタにおいては、紫外線照射により窒化シリコン層に負電荷が帯電し易く、寄生トランジスタが発生する、炭素を含む窒化シリコン層を第 2 ライナ層とすると、紫外線が照射されても寄生トランジスタが形成されにくく、ターンオフ特性を大幅に改善できると考えられる。炭素を含む窒化シリコン層は負電荷の発生を抑制するのであろう。

【0090】

DCS をソースガスとして用いた窒化シリコンの第 2 ライナ層を備えた STI を有する半導体装置においては、紫外線照射により STI に負電荷が帯電すると考えられる。n チャンネル MOS トランジスタにおいては、負電荷による寄生トランジスタはオフ状態であり、リーク電流の増加は生じないが、オン電流を低減するであろう。チャンネル幅がより狭いトランジスタを形成すると、オン電流の減少が顕在化することも考えられる。BTBAS をソースガスとして窒化シリコンのライナ層を形成した STI は、これらトランジスタ特性の劣化を防止するのに有効であろう。

【0091】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組合わせが可能なことは当業者に自明であろう。

以下、本発明の特徴を付記する。

【0092】

(付記 1) (1) (a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第 1 ライナ絶縁層を形成する工程と、

(d) 前記第 1 ライナ絶縁層上に厚さ 20 nm 以上の窒化シリコン層の第 2 ライナ絶縁層を形成する工程と、

(e) 前記第 2 ライナ絶縁層の画定する凹部を埋め込んで、プラズマ CVD を用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、

を含む半導体装置の製造方法。

【0093】

(付記2) (2) 前記工程(e)が、

(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

を含む、付記1記載の半導体装置の製造方法。

【0094】

(付記3) (3) (a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に窒化シリコン層の第2ライナ絶縁層を形成する工程と、

(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、

を含む半導体装置の製造方法。

【0095】

(付記4) (4) 前記工程(e1)が、無バイアスのプラズマCVDである付記2又は3記載の半導体装置の製造方法。

(付記5) (5) 前記工程(e1)が、400℃～450℃でプレヒートを行う工程と、引き続き酸化シリコン層を形成する工程とを含む付記2～4のいずれか1項記載の半導体装置の製造方法。

【0096】

(付記6) 前記工程(e1)が、平行平板型プラズマCVDで酸化シリコン層を形成する付記2または3記載の半導体装置の製造方法。

(付記7) 前記工程(e2)が、誘導結合プラズマCVD装置で行われる付記2～6のいずれか1項記載の半導体装置の製造方法。

【0097】

(付記8) (6) 前記工程(d)の後、1000℃～1150℃でアニールを行う工程を含む付記1～7のいずれか1項記載の半導体装置の製造方法。

(付記9) 前記第2ライナ層が、1.2GPa以上の引っ張り応力を有する付記1～8のいずれか1項記載の半導体装置の製造方法。

【0098】

(付記10) 前記プラズマCVDが高密度プラズマCVDである付記1～4のいずれか1項記載の半導体装置の製造方法。

(付記11) (7) 前記第2ライナ絶縁層が8nm以下の厚さを有する付記3記載の半導体装置の製造方法。

【0099】

(付記12) (8) (a) シリコン基板表面上に酸化シリコン層、窒化シリコン層を

含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に炭素を含む窒化シリコン層の第2ライナ絶縁層を形成する工程と、

(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストッパ層をエッチングする工程と、
を含む半導体装置の製造方法。

【0100】

(付記13) (9) 前記工程(d)が、有機シリコンソースガス、またはシリコンソースガスと有機ガスを用いて、化学気相堆積で炭素を含む窒化シリコン層を堆積する工程を含む付記12記載の半導体装置の製造方法。

【0101】

(付記14) 前記工程(d)が、ビスターシャルブチルアミノシランとアンモニアとをソースガスとした化学気相堆積で炭素を含む窒化シリコン層を堆積する付記12記載の半導体装置の製造方法。

【0102】

(付記15) 前記工程(d)が、基板温度550℃～580℃で行われる付記14記載の半導体装置の製造方法。

(付記16) 前記工程(g)が、前記第2ライナ層に対するエッチング速度が、前記ストッパ層の窒化シリコン層に対するエッチング速度がより小さい条件で行われる付記12記載の半導体装置の製造方法。

【0103】

(付記17) (10) シリコン基板と、
前記シリコン基板に形成され、素子領域を画定するトレンチと、
前記トレンチの表面を覆う酸化シリコン層の第1ライナ層と、
前記第1ライナ層上に形成された炭素を含む窒化シリコンの第2ライナ層と、
前記第2ライナ層上に形成され、前記トレンチを埋める酸化シリコンの素子分離領域と

、
前記素子領域の1つに形成されたpチャネルMOSトランジスタと、
を有する半導体装置。

【0104】

(付記18) 前記第2ライナ層が、1.2GPaより大きな引っ張り応力を有する付記17記載の半導体装置。

(付記19) 前記第2ライナ層が、シリコン基板表面から沈み込むデボットを形成しない付記17記載の半導体装置。

【0105】

(付記20) さらに、前記素子領域の他の1つに形成されたnチャネルMOSトランジスタを有し、前記pチャネルMOSトランジスタとともにCMOS構成を形成する付記17記載の半導体装置。

【0106】

(付記21) さらに、前記MOSトランジスタを覆う、紫外線吸収率の低い層間絶縁膜と、

前記層間絶縁膜内に形成された多層配線と、
を有する付記20記載の半導体装置。

【図面の簡単な説明】

【0107】

【図1】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図3】図1、2に示す実施例により作成される半導体装置の平面図及び断面図である。

【図4】プラズマCVD装置の構成例を示す断面図である。

【図5】剥がれの生じたSTIの断面を示す概略断面図である。

【図6】第2実施例の効果を確認するサンプルと比較サンプルの表面を示す顕微鏡写真である。

【図7】本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図8（A）】図7に示す実施例に従うサンプルと比較例のサンプルの上面を示す写真である。

【図8（B）】図7に示す実施例に従うサンプルと比較例のサンプルの上面を示す写真である。

【図8（C）】図7に示す実施例に従うサンプルと比較例のサンプルの上面を示す写真である。

【図9】図7に示す実施例に従うサンプルと比較例のサンプルのドレイン電流対ゲート電圧の特性を示すグラフである。

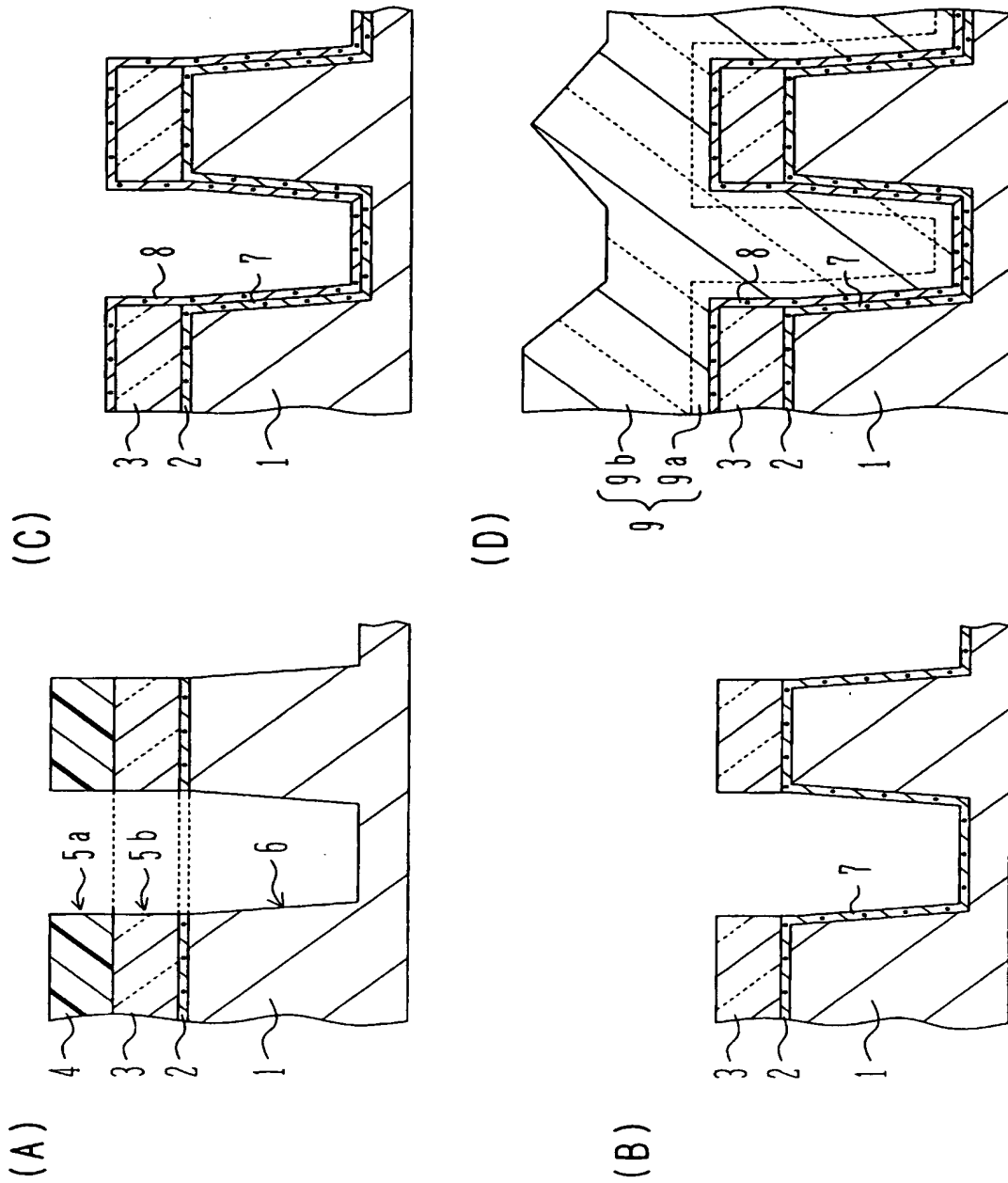
【符号の説明】

【0108】

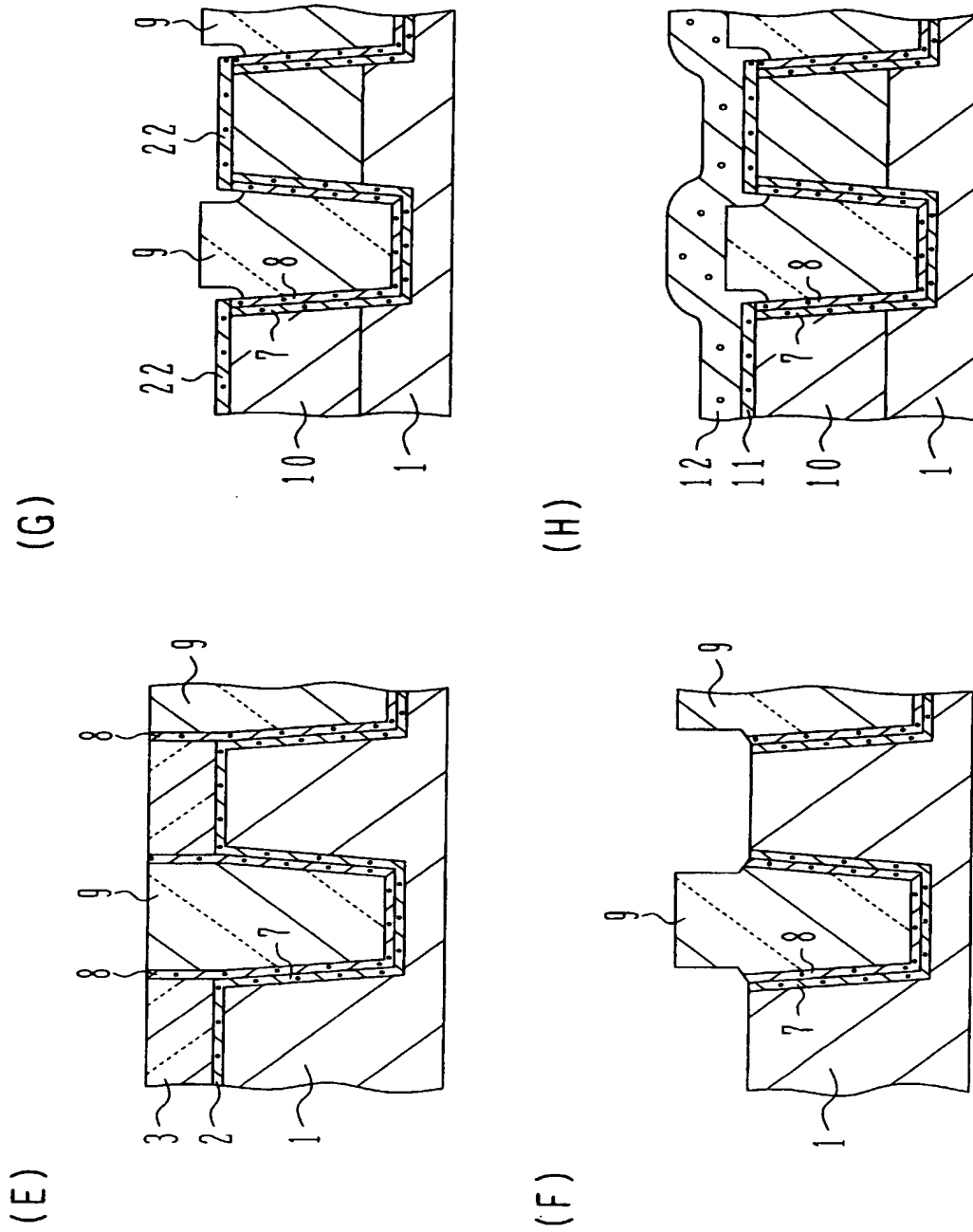
- 1 半導体基板
- 2 酸化シリコン層
- 3 窒化シリコン層
- 4 レジストパターン
- 5 開口部
- 6 トレンチ
- 7 酸化シリコンのライナ層
- 8 窒化シリコンのライナ層
- 9 (HDPCVD) 酸化シリコン層
- 10 ウエル
- 11 ゲート酸化層
- 12 多結晶シリコン層
- 13 シリサイド層

B T B A S ビスターシャルブチルアミノシラン

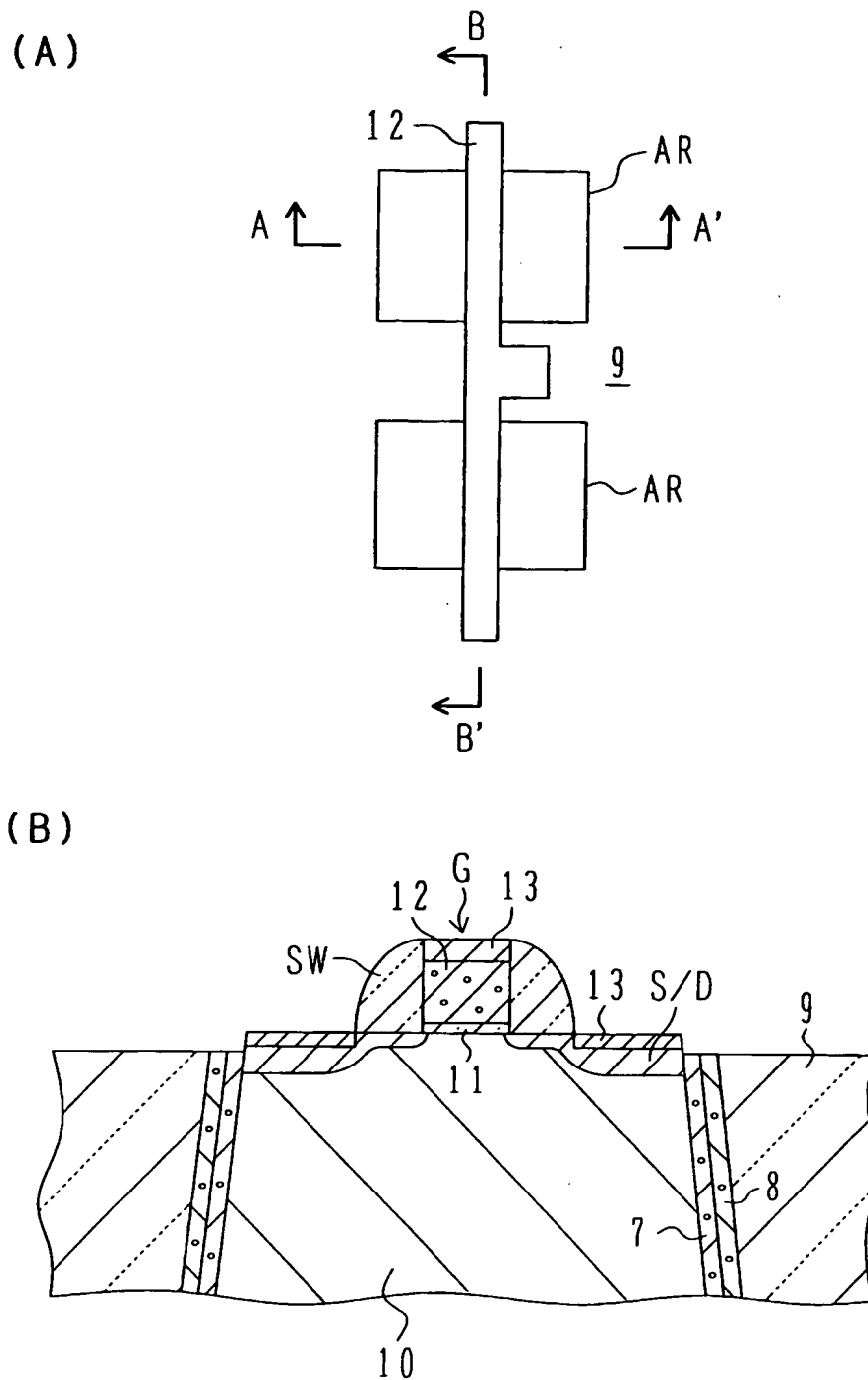
【書類名】 図面
【図 1】



【図 2】

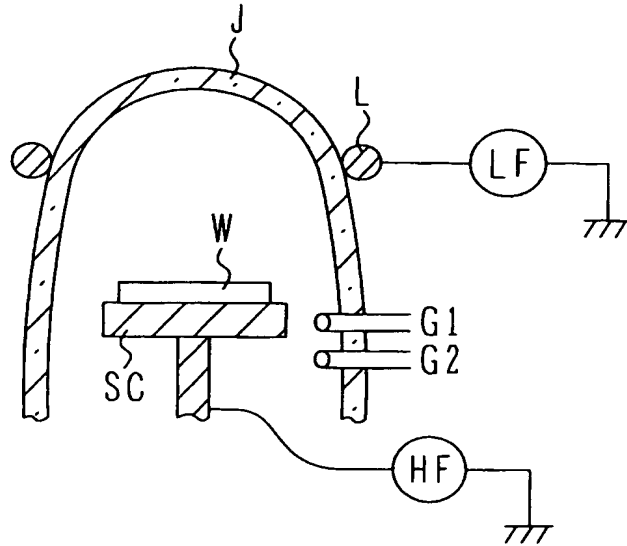


【図 3】

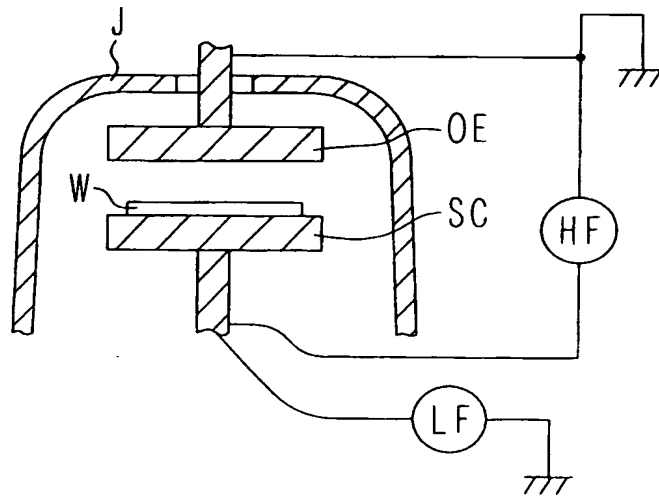


【図 4】

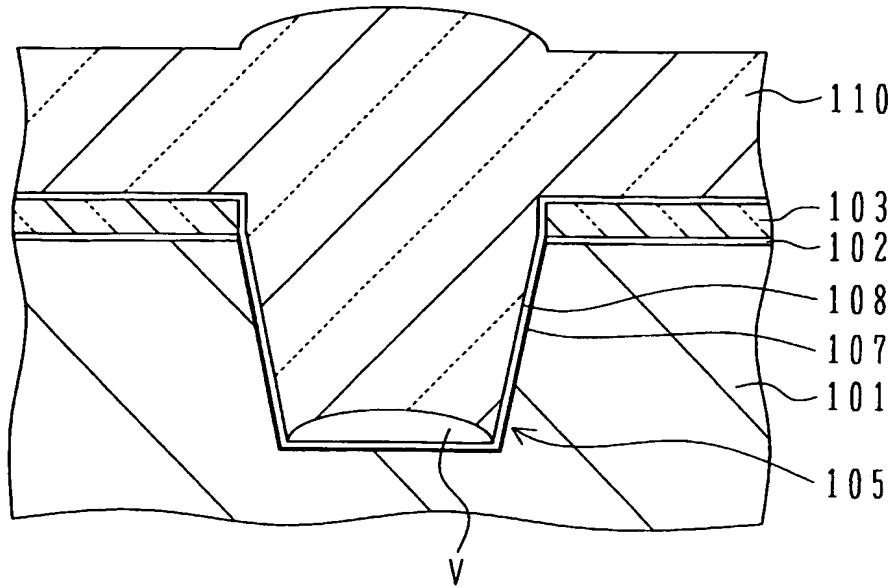
(A)



(B)

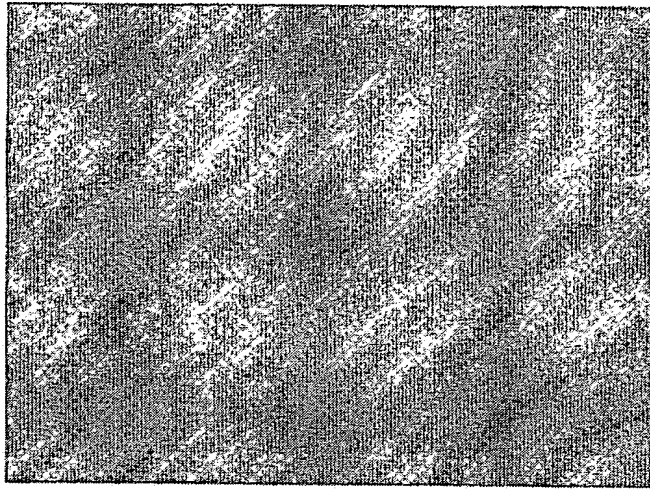


【図 5】

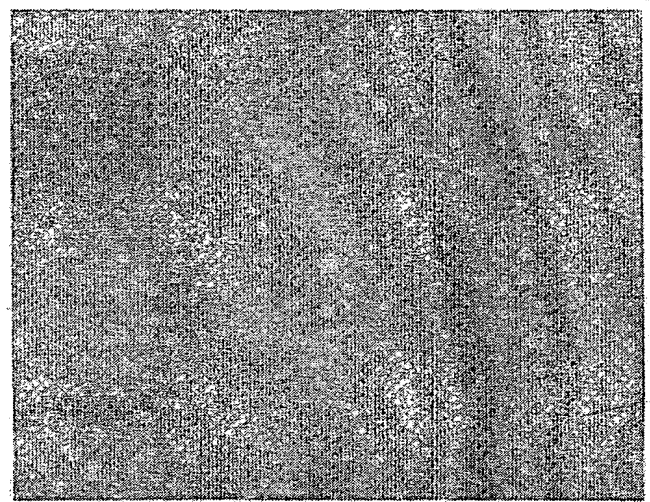


【図 6】

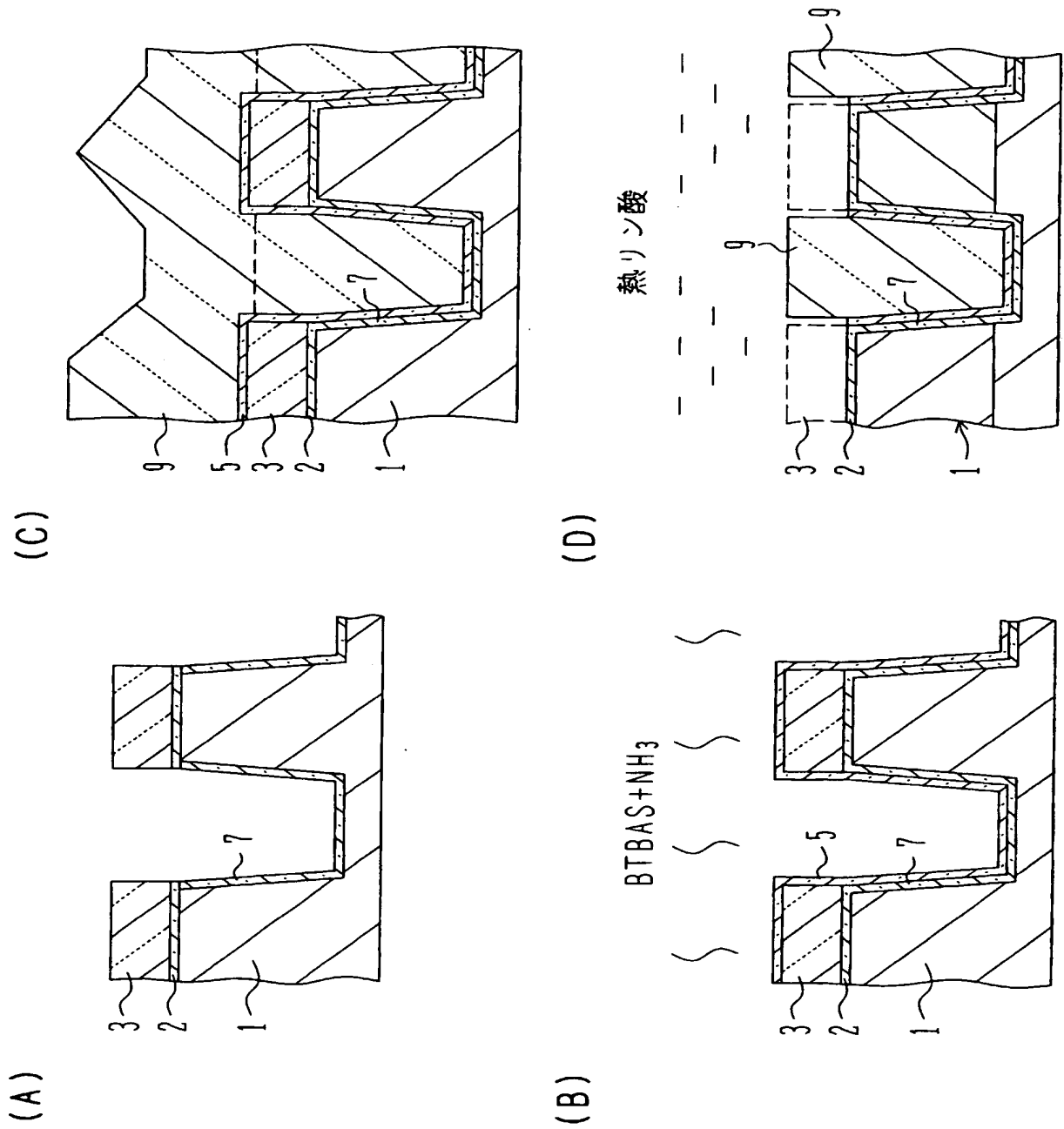
(A)



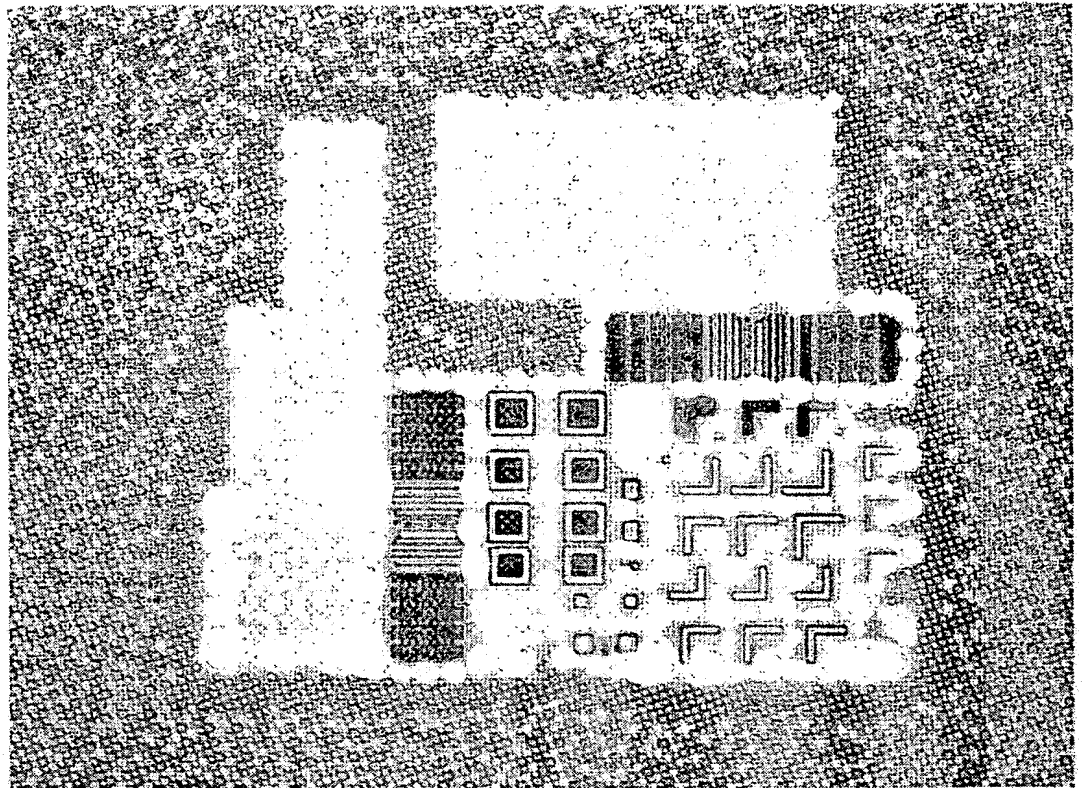
(B)



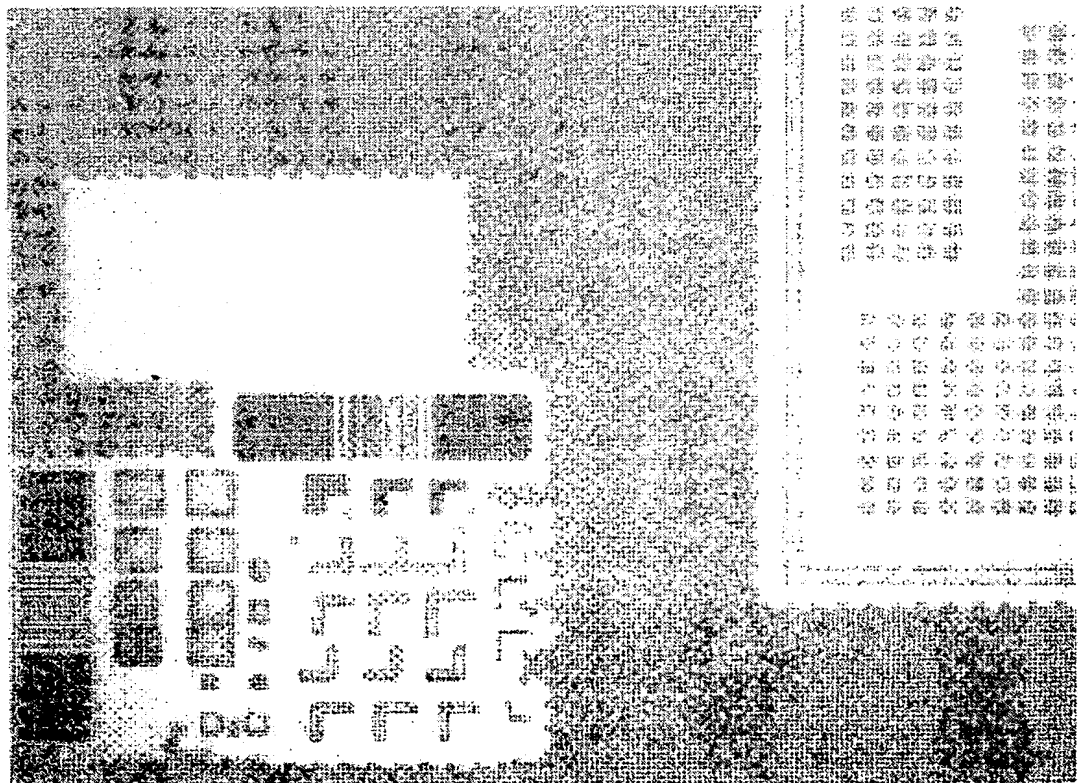
【図 7】



【図 8 (A)】



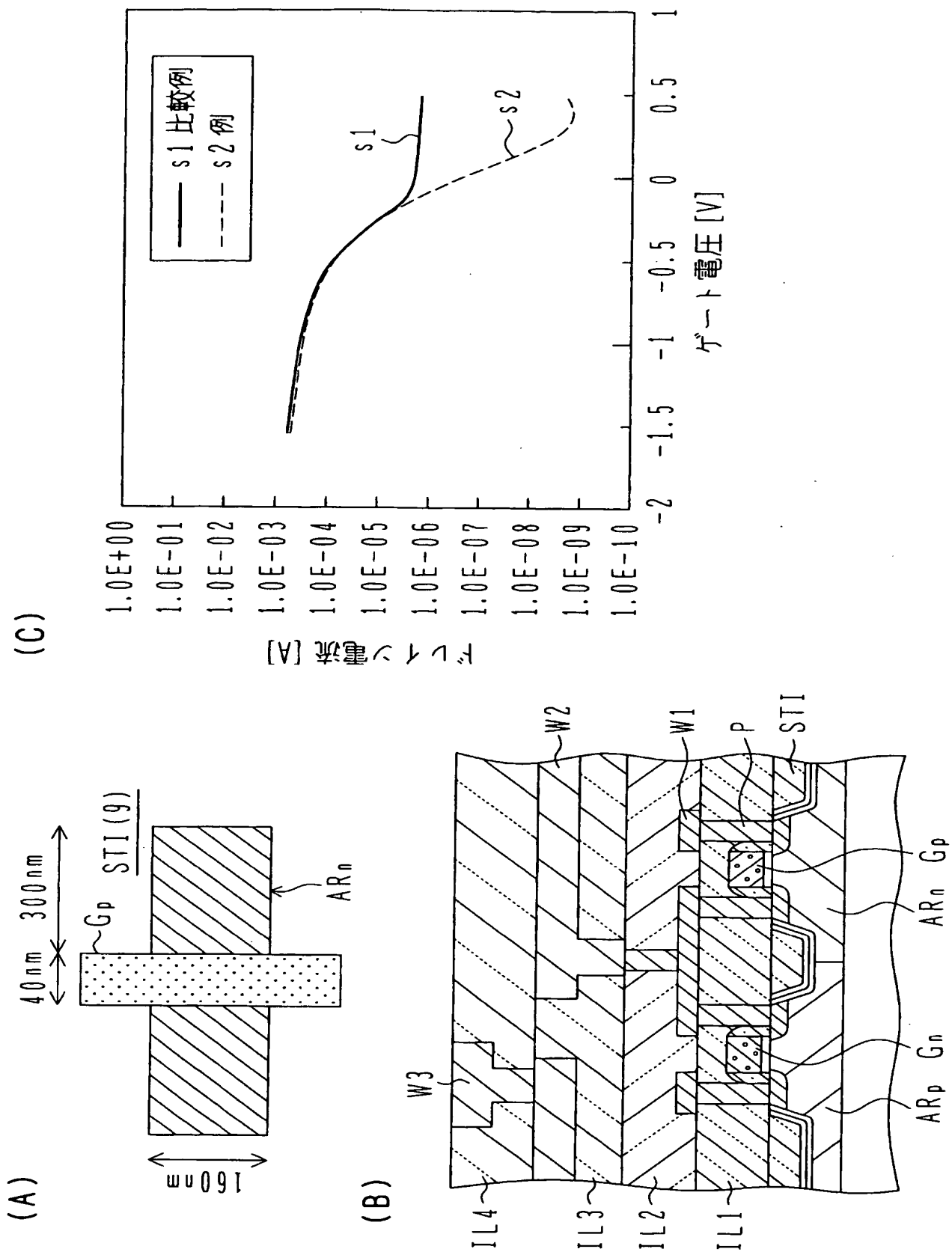
【図 8 (B)】



【図 8 (C)】

	6nm	8nm	10nm	12nm	20nm
DCS-SiN	OK	NG	NG	NG	OK
BTN	OK	OK	OK	OK	OK

【図9】



【書類名】 要約書

【要約】

【課題】 埋め込み特性よく、剥がれを生じることの少ない S T I を製造する。

【解決手段】 半導体装置の製造方法は、(a) シリコン基板表面上に研磨用ストップ層を形成する工程と、(b) マスクを用いてシリコン基板をエッチングし、トレンチを形成する工程と、(c) トレンチ内に露出したシリコン基板表面に酸化シリコン層の第 1 ライナ絶縁層を形成する工程と、(d) 第 1 ライナ絶縁層上に厚さ 8 nm 以下の窒化シリコン層の第 2 ライナ絶縁層を形成する工程と、(e 1) 第 2 ライナ絶縁層上に第 1 のバイアスのプラズマ C V D により酸化シリコン層の第 3 ライナ絶縁層を堆積する工程と、(e 2) 第 3 ライナ絶縁層の画定する凹部を埋め込んで、第 1 のバイアスより高い第 2 のバイアスの高密度プラズマ C V D を用いて酸化シリコン層の素子分離層を堆積する工程と、を含む。

【選択図】 図 1

特願 2 0 0 3 - 3 8 7 0 5 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社